

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 5 日 (05.02.2004)

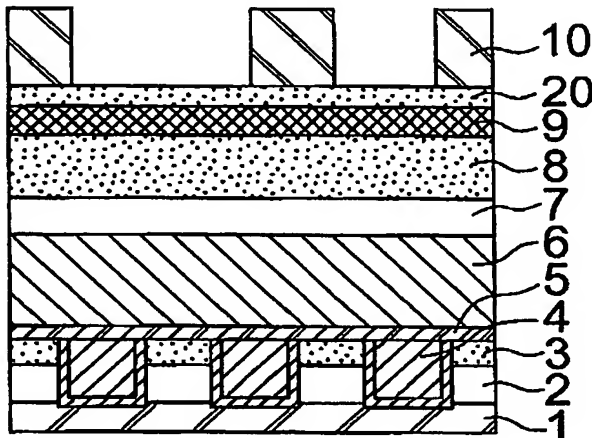
PCT

(10) 国際公開番号
WO 2004/012254 A1

- | | | |
|-----------------------------|---|--|
| (51) 国際特許分類 ⁷ : | H01L 21/3205, 21/768 | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2003/009602 | (75) 発明者/出願人 (米国についてのみ): 金村 龍一 (KANAMURA, Ryuichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). |
| (22) 国際出願日: | 2003 年 7 月 29 日 (29.07.2003) | (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (国内): KR, US. |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | 特願2002-221069 2002 年 7 月 30 日 (30.07.2002) JP | 添付公開書類: — 国際調査報告書 |
| (71) 出願人 (米国を除く全ての指定国について): | ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). | 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 |

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A method for manufacturing a semiconductor device having a dual damascene multilayer wiring structure in a low permittivity interlayer insulating film. First and second insulating films (6, 7) are formed, and then first to third mask-forming layers (8, 9, 20) are formed. The third mask-forming layer is patterned to form a third mask of a wiring trench pattern. A resist mask of a contact hole pattern is formed on the second mask-forming layer including the third mask. The third mask and the first and second mask-forming layers are etched, and the second insulating film is etched. By using the third mask, a second mask of a wiring trench pattern is formed, and a contact hole is opened to an intermediate depth of the first insulating film. By using the second mask, the first mask-forming layer is etched to form a first mask of a wiring trench pattern. The portion of the first insulating film left on the bottom of the contact hole is etched to open a contact hole. By using first or second mask, a wiring trench is formed in the second insulating film.

(57) 要約: 低誘電率層間絶縁膜内にデュアルダマシン構造を形成する際、高信頼性の多層配線構造を有する半導体装置の製造方法である。本方法では、第一の絶縁膜 (6) 及び第二の絶縁膜 (7) を成膜し、次いで第一から第三マスク形成層 (8)、(9)、(20) を成膜する。第三マスク形成層をパターンニングして配線溝パターンの第三のマスクを形成する。第三のマスクを含む第二マスク形成層上に接続孔パターンのレジストマスクを形成し、第三のマスク、第二及び第一マスク形成層をエッチングし、更に第二の絶縁膜をエッチングして、接続孔を開口する。第三のマスクを用いて配線溝パターンの第二のマスクを形成すると共に、第一の絶縁膜の途中まで接続孔を開口する。第二のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンの第一のマスクを形成すると共に、接続孔の底部に残存する第一の絶縁膜をエッチングして接続孔を開口する。第一ないしは第二のマスクを用いて第二の絶縁膜をエッチングし、第二の絶縁膜に配線溝を形成し、少なくとも第二及び第三のマスクを除去する。

WO 2004/012254 A1

明細書

半導体装置の製造方法

5 技術分野

本発明は、低誘電率層間絶縁膜内にデュアルダマシン構造の多層配線構造を有する半導体装置の製造方法に関し、更に詳細には、良好な形状のデュアルダマシン構造の配線構造を備えた半導体装置の製造方法に関するものである。

10

背景技術

半導体装置の微細化、高集積化に伴い、配線の時定数に起因する電気信号の遅れが深刻な問題となっている。そこで、多層配線構造で用いられる導電層には、アルミニウム（A l）系合金の配線に代わり、低電気抵抗の銅（C u）配線が導入されるようになっている。

15

C uは、従来の多層配線構造に使われているA lなどの金属材料とは異なって、ドライエッチングによるパターンニングが困難なため、絶縁膜に配線溝を形成し、配線溝にC uを埋め込むことにより配線パターンを形成するダマシン法が一般にC u多層配線構造に適用されている。特に、特願平10-143914号公報などに開示されているデュアルダマシン法は、接続孔と配線溝とを形成した上で、C u埋め込みを接続孔と配線溝とに同時に行う方法であって、工程数の削減に有効であることから注目されている。

20

25

また、高集積半導体装置では、配線容量の増大が半導体装置の

動作速度の低下を招くために、低誘電率膜を層間絶縁膜に用いて配線容量の増大を抑制した微細な多層配線が不可欠となっている。

低誘電率層間絶縁膜の材料として、従来から比較的使用実績のある比誘電率 3.5 程度のフッ素含有酸化シリコン (FSG) に加えて、ポリアリールエーテル (PAE) に代表されるエーテル系のポリマーや、ハイドロゲンシルセキオサン (HSQ)、メチルシルセスキオキサン (MSQ) に代表される無機系材料などの比誘電率 2.7 前後の低誘電率膜が挙げられる。更に、近年では、それらを多孔質化させて比誘電率を 2.2 前後とした低誘電率材料の適用も試みられている。

デュアルダマシン法を低誘電率層間絶縁膜に適用する場合、以下の技術的な制約を解決することが必要である。

第 1 には、低誘電率膜の組成がパターンニングに用いられるレジストの組成に近いために、レジスト除去プロセスの際に低誘電率膜も損傷を受け易いことが挙げられる。具体的には、レジストマスクを用いてエッチングを行った後のレジスト剥離処理や、処理済みのレジストパターンが製品規格を満たさない場合のレジスト再生処理などを行う際、低誘電率膜に対する損傷を抑制できることが不可欠である。

第 2 には、配線と接続孔との間で合わせ余裕を持たないボーダレス構造への適用が可能なことである。

半導体装置の微細化に伴い、0.18 μm 世代以降の多層配線では、ボーダレス構造に対応出来る加工プロセスを採用することが大前提となっている。従って、低誘電率膜を含む層間絶縁膜にデュアルダマシン法による配線溝と接続孔の同時形成を行う場

合でも、合わせずれによるヴィア抵抗の変動が少ないプロセスであることが重要である。

第3には、配線溝を深さ制御性良く形成するには、配線溝の底部近くにエッチング阻止膜を介在させることが望ましいものの、
5 比誘電率の比較的高いエッチング阻止膜を層間絶縁膜内に介在させると、層間容量が増加することになる。

従って、配線溝の形成を制御しつつ、しかも容量増加を抑えることが出来る低誘電率膜層間構造のデュアルダマシンプロセスが要求されている。

10 上述したような技術的な制約を解決できるデュアルダマシン法として、例えば特開2000-150519号公報、或いは特開2001-44189号公報に開示の技術がある。

ここで、第7A図から第9B図を参照して、特開2001-44189号公報に開示されている低誘電率層間膜に対するデュ
15 アルダマシン法の適用例を説明する。第7A図乃至第7B図、第8A図乃至第8C図、及び第9A図乃至第9B図は、それぞれ、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

先ず、第7A図に示すように、図示しない基板に堆積された下
20 地絶縁膜1上に有機膜2と酸化シリコン(SiO_2)膜3からなる積層膜を層間絶縁膜として成膜し、次いで層間絶縁膜に銅(Cu)膜の埋め込み配線4を形成する。

Cu 埋め込み配線4上に、順次、 Cu 膜の酸化防止層として炭化シリコン膜(SiC)5を、メチルシルセスキオキサン(MSQ)
25 膜として炭素含有酸化シリコン(SiOC)膜6を、有機膜としてポリアリールエーテル(PAE)膜7を成膜する。

続いて、第一のマスク形成層として酸化シリコン (SiO_2) 膜 8 を、第二のマスク形成層として窒化シリコン (SiN) 膜 9 を順次成膜し、更に配線溝パターンを有するレジストマスク 10 を SiN 膜 9 上に形成する。

- 5 次いで、第 7 B 図に示すように、レジストマスク 10 を用いたドライエッチング法により SiN 膜 9 をエッチングし、配線溝パターンを有する SiN 膜からなる第二のマスク 11 を形成し、続いてレジストマスク 10 を除去する。

- 次に、接続孔パターンのレジストパターンの少なくとも一部が、
10 配線溝パターンを有する SiN 膜からなる第二のマスク 11 に重なるように、接続孔パターンを有するレジストマスク 12 を第二のマスク 11 及び SiO_2 膜 8 上に形成する。

- 第 8 A 図に示すように、接続孔パターンを有するレジストマスク 12 を用いてドライエッチング法により、 SiN 膜からなる第二のマスク 11 と第一のマスク形成層の SiO_2 膜 8 をエッチングして開口し、続いて P A E 膜 7 をエッチングして SiOC 膜 6 を露出する接続孔 13 を開口する。ここで、レジストマスク 12 は、P A E 膜 7 のエッチング処理で同時に除去することが出来る
15

- また、P A E 膜 7 の開口中にレジストマスク 12 は薄くなって行くが、 SiO_2 膜 8 からなる第一のマスク 8 A が存在するので、
20 第一のマスク 8 A をマスクにして良好な開口形状の接続孔 13 を開口することが出来る。

- 次に、第 8 B 図に示すように、更に SiOC 膜 6 をエッチングして接続孔 13 を SiC 膜 5 まで掘り下げて接続孔 14 を開口
25 する。接続孔 14 の開口と共に、配線溝形成領域に残存し、第一のマスク 8 A を形成する SiO_2 膜 8 は、配線溝パターンを有す

る S i N 膜からなる第二のマスク 1 1 をマスクとするエッチングにより、同時に除去され、開口部 1 5 となる。

第 8 C 図に示すように、開口部 1 5 の底部に残存する P A E 膜 7 をエッチングして配線溝 1 6 とし、接続孔 1 4 の底部にある S i C 膜 5 をエッチングして接続孔 1 4 を C u 埋め込み配線 4 に
5 連通させることにより、所定のデュアルダマシン加工、つまり配線溝 1 6 と接続孔 1 4 の形成が完了する。

尚、配線溝形成領域外に残存する S i N 膜からなる第二のマスク 1 1 は、接続孔 1 4 底部の S i C 膜 5 をエッチングする過程で
10 除去される。

続いて、薬液を用いた後処理、及び R F スパッタリング処理により、配線溝 1 6 や接続孔 1 4 の側壁に残留するエッチング付着物を除去し、接続孔 1 4 底部の C u 変質層を正常化した後、第 9 A 図に示すように、バリアメタルとして T a 膜 1 7 をスパッタリ
15 ング法により成膜し、電解めっき法あるいはスパッタリング法により C u 膜 1 8 を堆積して、配線溝 1 6 と接続孔 1 4 に導電膜の埋め込みを行う。

次いで、第 9 B 図に示すように、堆積した T a 膜 1 7 及び C u 膜 1 8 のうち、配線パターンとして不要な部分を化学機械研磨 (C M P) 法により除去する。これにより、デュアルダマシン構造の多層配線構造を得ることができる。
20

更に、下層の C u 埋め込み配線 4 と同様、酸化防止層として例えば S i C 膜 1 9 を C u 膜 1 8 上に成膜する。

低誘電率層間膜構造に対して上述した 2 層エッチングマスク
25 を用いたデュアルダマシン法の適用は、前述した技術的な制約事項を克服した製造方法となっている。

すなわち、製品規格に適合しないレジストマスク 10、12 の再生処理は、第一のマスク形成層である SiO_2 膜 8 又は第二のマスク形成層である SiN 膜 9 上で行うことができ、接続孔開口のためのレジストマスク 12 の除去は、 PAE 膜 7 のエッチングして接続孔 13 を開口させる工程で同時に行うことが可能であるから、低誘電率膜の損傷を抑制しつつレジスト剥離を行うことができる。

また、配線溝パターンを有する SiN 膜からなる第二のマスク 11 上から接続孔 13（接続孔 14）を開口するので、配線溝 16 と接続孔 14 との合わせずれが発生した場合でも、接続孔 14 の寸法が変動することはない。

更には、 SiOC 膜 6 上に成膜される PAE 膜 7 に配線溝 16 を形成する際、無機系 MSQ 膜（ SiOC 膜 6）と有機ポリマー膜（ PAE 膜 7）の組み合わせであるから、エッチング選択比を確保することが容易である。従って比誘電率の高い SiN 膜等のエッチング阻止膜を介在させなくても、配線溝 16 の深さ制御が容易である。

しかし、上述の従来のデュアルダマシン法を更に微細な $0.1 \mu\text{m}$ 世代以降の多層配線に適用する場合、次に示すような問題点がある。

第 1 には、第二のマスク形成層、即ち SiN 膜 9 の膜厚が厚くなることである。第二のマスク 11 は、接続孔層間膜の SiOC 膜（ MSQ 膜）6 をエッチングして接続孔 14 を開口し、かつ配線溝形成領域に開口部 15 を開口するために用いられるので、ある程度の厚さが必要である。例えば、第二のマスク 11 に SiN 膜 9 を用いて、接続孔層間膜である膜厚 400 nm の SiOC 膜

6を開口する場合、配線溝上方の広がりや肩落ちを抑制するためには、膜厚100～150nmのSiN膜9がエッチング選択比上から必要となる。

第2には、レジストマスク12を段差上に形成することが多くなるので、微細なパターンを高精度で形成することが難しいことである。

第二のマスク形成層であるSiN膜9を加工して配線溝パターンを有する第二のマスク11を形成する工程では、第7B図に示すように、第一のマスク形成層であるSiO₂膜8に対するエッチング選択比(SiN/SiO₂)が2～3程度しか確保出来ないで、SiN膜9のオーバーエッチング時に下地SiO₂膜8の掘れ量が30nm前後発生することが多い。このため、接続孔パターンを有するレジストマスク12を130～180nmの段差上に形成することが強いられる。

ところが、200nm弱の局所段差越しに0.10μm世代以降の微細なレジストパターンを形成するのは、平坦部に形成する場合に比べて、レジスト膜のすそ引き発生や線幅制御の観点より、非常に難度の高い工程となる。

第3には、リソグラフィー工程で一般的に用いられる塗布系の反射防止膜(BARC)を併用する場合、第二のマスク11のパターン寸法や疎密具合により、BARCの埋め込み形状が変化するため、焦点深度ばらつき増大による露光処理時のレジスト形状悪化や、BARC膜エッチングによる接続孔開口時の第二のマスク11の形状悪化を招き易いことである。

第4には、上述した従来のデュアルダマシン法では、レジストマスク12による接続孔13のパターニングの前に、レジストマ

スク 10 による配線溝パターンのパターンニングを実施しているために、配線溝 16 と接続孔 14 のマスクアライメントが間接合わせとなり、先に接続孔パターンを形成する通常のプロセスに比べて、結果として上層配線と接続孔の合わせずれ量が増大してしまうという欠点がある。

これらの問題を解決する手段として、例えば特開 2000-150519 号公報に開示されているように、第二のマスクを金属膜で形成して、接続孔層間膜の MSQ 膜に対するエッチング選択比を上げることにより、第二のマスクの薄膜化を行い、レジスト
10 パターンニング段差を低減する方法が考えられる。

ところが、金属膜はマスクアライメントに用いる波長領域（200～1000 nm）の光を殆ど透過することが出来ないため、全面成膜してしまうと、その後の露光工程で、通常の波長域の光を用いたアライメントや画像処理を用いたアライメントを行う
15 ことが出来なくなるという問題がある。

そこで、本発明の目的は、PAE 膜、及び MSQ 膜等を用いた低誘電率層間絶縁膜内にデュアルダマシン構造を形成する際、レジストパターンニング工程に対する負荷を低減し、良好なデュアルダマシン加工形状を得ることにより、高性能且つ高歩留まりで、
20 高信頼性の多層配線構造を有する半導体装置の製造方法を提供することである。

発明の開示

上記目的を達成するために、本発明に係る半導体装置の製造方法
25 法は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

相互に異なる 2 種類以上の膜種からなる 3 層以上のエッチングマスク形成層を層間絶縁膜上に順次成膜する工程と、

最上層のエッチングマスク形成層をパターンニングして最上層マスクを形成し、次いで最上層マスクで最上層のエッチングマスク形成層の下
5 次段エッチングマスク形成層をエッチングして次段エッチングマスクを形成し、次いで次段エッチングマスクで次々段エッチングマスク形成層をエッチングして次々段エッチングマスクを形成し、順次、上のエッチングマスク形成層で形成したエッチングマスクで上のエッチングマスク形成層の下
10 のエッチングマスク形成層をエッチングしてエッチングマスクを形成する工程と、

形成したエッチングマスクを使って層間絶縁膜をエッチングして、配線溝及び接続孔を形成する工程と

を備え、3 層以上のエッチングマスク形成層のうちの 1 層のエッチングマスク形成層を配線溝パターンのマスク形成層として
15 成膜し、残りの層のうちの 1 層のエッチングマスク形成層を接続孔パターンのマスク形成層として成膜することを特徴としている。

上述の発明方法は、本発明の技術的核となる構成要件を示している。上記目的を達成するために、具体的には、本発明に係る半
20 導体装置の製造方法（第 1 の発明方法と言う）は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

（イ）半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜
25 する工程と、

（ロ）第二の絶縁膜上に、第 1 のマスク、第 2 のマスク、及び

第 3 のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

(ハ) 第三マスク形成層をパターンニングして配線溝パターンを有する第 3 のマスクを形成する工程と、

5 (ニ) 第 3 のマスクを含む第二マスク形成層上に接続孔パターンを有するレジストマスクを形成する工程と、

(ホ) レジストマスクを使って第 3 のマスク、第二マスク形成層、及び第一マスク形成層をエッチングし、更に第二の絶縁膜をエッチングして、接続孔を開口する工程と、

10 (ヘ) 第 3 のマスクを用いて第二マスク形成層をエッチングして、配線溝パターンを有する第 2 のマスクを形成すると共に、第一の絶縁膜の途中まで接続孔を開口する工程と、

(ト) 第 2 のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンを有する第 1 のマスクを形成すると共に、接続孔の底部に残存する第一の絶縁膜をエッチングして接続孔を開口する工程と、

(チ) 第 1 ないしは第 2 のマスクを用いて第二の絶縁膜をエッチングし、第二の絶縁膜に配線溝を形成する工程と、

(リ) 少なくとも第 2 及び第 3 のマスクを除去する工程と
20 を有することを特徴としている。

第 1 の発明方法では、工程 (ニ) で接続孔パターンを有するレジストマスクを形成する際の下地層の段差が、第三マスク形成層の膜厚に依存して小さく抑えられるので、高精度の接続孔パターンを有するレジストマスクを形成することができる。これにより、
25 配線溝の形状悪化無く、微細寸法の接続孔を安定して開口することができるので、良好なヴィアコンタクト特性を得ることが出来

る。

本発明方法を適用したデュアルダマシンプロセスにより、高精度で形成された多層配線を有する半導体装置を高い歩留まりで製造することができる。

- 5 本発明に係る半導体装置の別の製造方法（第2の発明方法と言う）は、有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

（イ）半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜
10 する工程と、

（ロ）第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

（ハ）第三マスク形成層上に接続孔パターンを有する第1のレジストマスクを形成する工程と、
15

（ニ）第1のレジストマスクを用いて、第三マスク形成層、第二マスク形成層、及び第三マスク形成層の途中まで接続孔を開口する工程と、

（ホ）第三マスク形成層上に配線溝パターンを有する第2のレジストマスクを形成し、第2のレジストマスクを用いて第三マスク形成層をエッチングして第3のマスクを形成する工程と、
20

（ヘ）第3のマスクを用いて第二マスク形成層及び第二の絶縁膜をエッチングして接続孔を開口する工程と、

（ト）第3のマスクを用いて第二マスク形成層をエッチングして、配線溝パターンを有する第2のマスクを形成すると共に、第一の絶縁膜を途中までエッチングして接続孔を形成する工程と、
25

(チ) 第 2 のマスクを用いて第一マスク形成層をエッチングして、配線溝パターンを有する第 1 のマスクを形成すると共に、第一の絶縁膜をエッチングして接続孔を開口する工程と、

(リ) 第 1 ないしは第 2 のマスクを用いて第二の絶縁膜をエッチングして、配線溝を形成する工程と、

(ヌ) 少なくとも第 2、及び第 3 のマスクを除去する工程とを有することを特徴としている。

第 2 の発明方法では、工程 (ハ) で接続孔パターンを有するレジストマスクを形成する際の下地層はほぼ平坦であるから、高精度の接続孔パターンを有するレジストマスクを形成することができる。これにより、配線溝の形状悪化が無く、微細寸法の接続孔を安定して開口することができるので、良好なヴィアコンタクト特性を得ることが出来る。

また、接続孔のパターニングを行った後に配線溝のパターニングを行うので、上層配線と接続孔のマスクアライメントが間接合わせとならない。よって、アライメント誤差の小さい多層配線を形成することができる。

本発明方法を適用したデュアルダマシンプロセスにより、高精度で形成された多層配線を有する半導体装置を高い歩留まりで製造することができる。

第 1 及び第 2 の発明方法では、好適には、工程 (イ) では、第一の絶縁膜としてメチルシルセスキオキサン膜を、第二の絶縁膜として有機膜を成膜する。これにより、配線間静電容量を低減することができる。

工程 (ロ) では、第一、第二、及び第三マスク形成層を光透過性を有する材料で成膜する。

また、工程（ロ）では、上層のマスク形成層に形成したマスクを用いて反応性イオンエッチング法により下層のマスク形成層を加工出来る材料で、第一、第二、及び第三マスク形成層を成膜する。これにより、容易に第1から第3のマスクを形成することができる。

第1の発明方法の工程（ロ）では、第一マスク形成層としてシリコン酸化膜、第二マスク形成層としてシリコン窒化膜、及び第三マスク形成層としてシリコン酸化膜を成膜し、第2の発明方法の工程（ロ）では、第一マスク形成層としてシリコン酸化膜、第二マスク形成層としてシリコン窒化膜、及び第三マスク形成層として非晶質シリコン膜を成膜する。

図面の簡単な説明

第1A図乃至第1C図は、それぞれ、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第2A図乃至第2C図は、それぞれ、第1C図に続いて、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第3A図乃至第3B図は、それぞれ、第2C図に続いて、実施形態例1の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第4A図乃至第4B図は、それぞれ、実施形態例2の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第5A図乃至第5C図は、それぞれ、第4B図に続いて、実施形態例2の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第 6 A 図乃至第 6 C 図は、それぞれ、第 5 C 図に続いて、実施形態例 2 の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第 7 A 図乃至第 7 B 図は、それぞれ、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第 8 A 図乃至第 8 C 図は、それぞれ、第 7 B 図に続いて、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

第 9 A 図乃至第 9 B 図は、それぞれ、第 8 C 図に続いて、従来の方法によりデュアルダマシン構造を形成する際の各工程の断面図である。

発明を実施するための最良の形態

以下に、添付図面を参照して、実施形態例に基づいて本発明をより詳細に説明する。尚、以下の実施形態例で示した膜種、膜厚、成膜方法、その他寸法等は、本発明の理解を容易にするための例示であって、本発明はこれら例示に限定されるものではない。

実施形態例 1

本実施形態例は、第 1 の発明方法に係る半導体装置の製造方法の実施形態の一例である。第 1 A 図乃至第 1 C 図、第 2 A 図乃至第 2 C 図、及び第 3 A 図乃至第 3 B 図は、それぞれ、本実施形態例の方法により半導体基板上にデュアルダマシン構造を形成する際の各工程の断面図である。第 1 A 図から第 3 B 図に示す部位のうち第 7 A 図から第 9 B 図に示す部位と同じものには、理解を容易にするために同じ符号を付している。これは、以下の第 4 A 図から第 6 C 図でも同じである。

先ず、第1A図に示すように、図示しない基板に堆積された下地絶縁膜1上に、有機膜2と酸化シリコン(SiO_2)膜3からなる積層膜を層間絶縁膜として成膜し、次いで250nmの配線厚となるように、銅(Cu)膜の埋め込み配線4を形成する。

- 5 続いて、 Cu 配線4上に酸化防止層として膜厚50nmの炭化シリコン(SiC)膜5を成膜し、更に接続孔を貫通させる層間絶縁膜として、400nm厚の炭素含有酸化シリコン(SiOC)膜6を成膜する。

- 10 SiC 膜5及び SiOC 膜6を成膜する際には、一例として、平行平板型プラズマCVD装置を用い、その際シリコン源として使用するガスは、どちらの膜の成膜の際にもメチルシランである。

また、成膜条件として、基板温度を300～400℃、プラズマパワーを150～350W、成膜雰囲気圧力を100～1000Pa程度に設定する。

- 15 以上の成膜条件により、比誘電率が、それぞれ、5.0、及び3.0程度の SiC 膜5及び SiOC 膜6を成膜することが出来る。

- 次に、 SiOC 膜6上に、比誘電率2.6程度の有機ポリマー膜を成膜する。本実施形態例では、有機ポリマー膜としてポリアリールエーテル(PAE)膜7を200nm成膜する。有機ポリマー膜は、前駆体をスピンコート法により堆積した後、400℃～450℃のキュア処理を行って成膜することが出来る。
- 20

PAE膜の他には、BCB膜、ポリイミド膜、アモルファスカーボン膜などを用いることもできる。

- 25 続いて、PAE膜7上に、順次、第一マスク形成層として膜厚150nmの SiO_2 膜8、第二マスク形成層として膜厚100

nmの窒化シリコン（SiN）膜9を、更に、第三マスク形成層として膜厚50nmのSiO₂膜20を成膜する。

次いで、配線溝パターンをレジストパターンとしてを有するレジストマスク10をSiO₂膜20上に形成する。

5 第一マスク形成層としてのSiO₂膜8及び第三マスク形成層としてのSiO₂膜20は、例えばシリコン源としてモノシラン（SiH₄）を用い、酸化剤として一酸化二窒素（N₂O）ガスを用いたプラズマCVD法により成膜することが出来る。

また、SiO₂膜8を形成する際に、下層のPAE膜7の酸化
10 が問題となる場合には、化学量論よりシリコンが多い酸化シリコン膜を形成することが好ましい。

また、第二マスク形成層であるSiN膜9は、SiO₂膜8、20の成膜と同様のプラズマCVD装置により、例えばシリコン源としてモノシラン（SiH₄）を、窒化剤としてアンモニア（N
15 H₃）ガスを、酸化剤として一酸化二窒素（N₂O）ガスを用い、不活性ガスをキャリアガスにして成膜することが出来る。

次に、第1B図に示すように、レジストマスク10上からドライエッチング法により、第三マスク形成層であるSiO₂膜20
20 をエッチングして、配線溝パターン21を有する第3のマスクを形成する。

レジストマスク10を用いてSiO₂膜20をエッチングする際には、一般的なマグネトロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン（C₄F₈）、一酸化炭素（CO）、及びアルゴン（Ar）を用い、ガス流量比（C
25 ₄F₈：CO：Ar）を1：5：20、バイアスパワーを1200W、基板温度を20℃に設定する。

このエッチング条件下では、SiN膜に対する10以上のエッチング選択比（ $\text{SiO}_2 / \text{SiN}$ ）を得ることが出来るので、下地の第二マスク形成層であるSiN膜9がエッチングされるようなことは殆ど生じない。

- 5 SiO_2 膜20をエッチングした後、例えば酸素（ O_2 ）プラズマをペースとしたアッシング処理と有機アミン系の薬液処理を施すことにより、レジストマスク10及びエッチング処理の際に生じた残留付着物を完全に除去する。

- 10 次に、第1B図に示すように、接続孔パターンの少なくとも一部が、第3のマスクの配線溝パターン21を構成する SiO_2 膜20に重なるようにして、接続孔パターンを有するレジストマスク12を残存する SiO_2 膜20及びSiN膜9上に形成する。

- 15 レジストマスク12の形成に際し、配線溝パターン21を構成する SiO_2 膜20により生じた段差は、概ね SiO_2 膜20の膜厚である50nm程度に抑えられるので、平坦部にレジストマスクを形成する場合とほぼ同等のリソグラフィ特性にて、良好な接続孔のレジストパターン形状を得ることができる。

- 20 また、塗布系の反射防止膜（BARC）を併用する場合でも、配線溝パターン21の寸法や疎密具合により、BARCの埋め込み形状の変動が微少に抑えられ、露光処理時のレジスト形状悪化や、寸法変動の原因となる焦点深度ばらつきを低減することができる。

- 25 続いて、接続孔パターンを有するレジストマスク12を用いて、ドライエッチング法により、接続孔形成領域に存在する SiO_2 膜20、第二マスク形成層であるSiN膜9、及び第一マスク形成層である SiO_2 膜8をエッチングし、続いて残存するSiN

膜 9 を第 2 のマスクとして P A E 膜 7 をエッチングして、第 1 C 図に示すように、S i O C 膜 6 を露出させる接続孔 1 3 を開口する。

5 尚、レジストマスク 1 2 は、P A E 膜 7 をエッチング加工する際に、同時に除去することが出来る。

残存する S i O₂ 膜 2 0 は、配線溝パターンのマスクを形成し、また、エッチングされた S i N 膜 9 は、接続孔パターンを有する第 2 のマスクを構成する。

10 第三マスク形成層の S i O₂ 膜 2 0 から第一マスク形成層の S i O₂ 膜 8 までエッチングして接続孔 1 3 を開口する際には、一般的なマグネトロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン (C₄ F₈) 及びアルゴン (A r) を用い、ガス流量比 (C₄ F₈ : A r) を 1 : 4、バイアスパワーを 4 0 0 W、基板温度を 2 0 ℃に設定する。

15 本実施形態例では、このエッチング条件下でエッチング選択比 (S i O₂ / S i N) が 1 前後となり、1 ステップで三層からなる第 1 から第 3 マスク形成層をエッチングして接続孔 1 3 を開口している。

20 しかし、これに限らず、レジスト選択比やエッチング変換差等が問題になる場合は、3 ステップエッチングにより順次第一マスク形成層、第二マスク形成層、及び第三マスク形成層をエッチングして、下地マスク形成層又は下地絶縁膜に対し選択的に対象マスク形成層を順次エッチングしていくようにすることも可能である。

25 また、P A E 膜 7 の接続孔開口は、通常の高密度プラズマエッチング装置を用い、エッチングガスとして例えばアンモニア (N

H₃) を用い、R F パワーを 1 5 0 W、基板温度を 2 0 ℃に設定する。

このエッチング条件下で、レジストマスク 1 2 のエッチングレートは P A E 膜 7 のそれとほぼ同等であるから、P A E 膜 7 の開口中にレジストマスク 1 2 は減肉して行くが、第 2 のマスクである S i N 膜 9 がエッチングマスクとして機能して、良好な接続孔の開口形状を得ることが出来る。

因みに、P A E 膜 7 のエッチング条件下で、S i N 膜、S i O₂ 膜、S i O C 膜に対するエッチング選択比は 1 0 0 以上になる。

次に、第 2 A 図に示すように、配線溝パターン 2 1 を有する S i O₂ 膜 2 0 からなる第 3 のマスクを用いて、ドライエッチング法により、S i N 膜 9 をエッチングして配線溝パターン 2 2 を有する第 2 のマスクを形成する。

S i N 膜 9 のエッチングでは、例えば一般的なマグネトロン方式のエッチング装置を使用して、例えばエッチングガスとしてのジフルオルメタ (C₂ F₂)、酸素 (O₂)、及びアルゴン (A r) を用い、ガス流量比 (C₂ F₂ : O₂ : A r) を 2 : 1 : 5、及びバイアスパワーを 1 0 0 W に設定する。

このエッチング条件下で、S i O₂ 膜に対するエッチング選択比 (S i N / S i O₂) が 3 程度になるので、第三マスク形成層である S i O₂ 膜 2 0 の膜厚が 5 0 n m 程度であれば、第二マスク形成層である膜厚 1 0 0 n m の S i N 膜 9 をエッチングする際、S i O₂ 膜 2 0 の減肉に対して十分な余裕をもって配線溝パターン 2 2 を開口することが出来る。

また、第 3 のマスクの S i O₂ 膜 2 0 を用いた、第二マスク形成層の S i N 膜 9 のエッチング工程では、接続孔 2 3 の底部に露

出するSiOC膜6が途中までエッチングされ、接続孔23が掘り下げられて、接続孔23が開口する。

このエッチング条件下のSiOC膜に対するエッチング選択比(SiN/SiN)は1弱にすることができるので、100nm厚のSiN膜9をエッチングする場合、必要なオーバーエッチング量を含めて接続孔23はSiOC膜6内に150～200nmの深さまで掘り下げられることになる。

次に、第1のマスクであるSiO₂膜8をマスクにして、SiOC膜6の下部層をエッチングして、第2B図に示すように、SiC膜5を露出させる接続孔14を開口する。

この際、配線溝パターンを有する第2のマスク11のSiN膜9を用いて、配線溝領域に残存する第1のマスクSiO₂膜8を同時に除去して開口部15を形成する。

このエッチングは、例えば一般的なマグネトロン方式のエッチング装置を使用し、例えばエッチングガスとしてのオクタフルオロシクロペンテン(C₅F₈)、一酸化炭素(CO)、アルゴン(Ar)、及び酸素(O₂)を用い、ガス流量比(C₅F₈:CO:Ar:O₂)を1:10:5:1、バイアスパワーを1600W、及び基板温度を20℃に設定する。

このエッチング条件下で、SiN膜に対する10以上のエッチング選択比(SiOC/SiN)を得ることが出来るので、接続孔底部に残る膜厚200～250nmのSiOC膜6をエッチングする際、第2のマスクのSiN膜9の膜厚が100nmあれば、SiN膜9の減肉に対して十分に余裕を持って配線溝上方の広がりや肩落ちを抑制した良好な開口形状を得ることが出来る。

続いて、第2C図に示すように、配線溝底部に残存するPAE

膜 7 をエッチングして、配線溝 1 6 を開口し、接続孔底部にある S i C 膜 5 をエッチングすることにより、接続孔 1 4 を C u 膜の埋め込み配線 4 に連通した所定のデュアルダマシン加工が完了する。

- 5 配線溝 1 6 を開口する P A E 膜 7 のエッチングは、通常の高密度プラズマエッチング装置を使用して、エッチングガスには例えばアンモニア (N H ₃) を用い、R F パワーを 1 5 0 W、及び基板温度を 2 0 ℃ に設定する。

このエッチング条件下で、S i O C 膜 6 に対するエッチング選択比は、1 0 0 以上になるので、深さばらつき無く、制御性良く配線溝の開口を行うことが出来る。

接続孔 1 4 の底部にある S i C 膜 5 のエッチングでは、例えば一般的なマグネトロン方式のエッチング装置にて、例えばエッチングガスとしてジフルオルメタン (C H ₂ F ₂)、酸素 (O ₂)、及びアルゴン (A r) を用い、ガス流量比 (C H ₂ F ₂ : O ₂ : A r) を 2 : 1 : 5、バイアスパワーを 1 0 0 W に設定する。

但し、上記エッチング条件では S i O C 膜 6 に対する選択比は 1 前後であるため、配線溝 1 6 の底部の S i O C 膜 6 の膜掘れが問題になるならば、P A E 膜 7 への配線溝開口前に、S i C 膜 5 のエッチングを行うことも出来る。

尚、S i O ₂ 膜 8 上に残存する S i N 膜 9 は、接続孔 1 4 底部の S i C 膜 5 をエッチングする過程で除去される。

薬液を用いた後処理、及び R F スパッタリング処理により、配線溝 1 6 や接続孔 1 4 の側壁に残留するエッチング付着物を除去し、接続孔 1 4 底部の C u 変質層を正常の C u 層に転化した後、第 3 A 図に示すように、例えばバリアメタルとして T a 膜 1 7 を

スパッタリング法により成膜し、Cu膜18を電解めっき法あるいはスパッタリング法により堆積し、配線溝16と接続孔14への導電膜の埋め込みを同時に行う。

更に、第3B図に示すように、堆積したTa膜17、Cu膜18のうち、配線パターンとして不要な部分を化学機械研磨(CMP)法により除去することにより、デュアルダマシン構造の多層配線構造を形成することができる。

本実施形態例では、最終的な上層配線の膜厚は例えば250nm程度となるよう調整される。また、下層配線パターンと同様、酸化防止層として例えばSiC膜19をCu膜18上に成膜する。

本工程を経て形成されたデュアルダマシン構造の多層配線は、接続孔パターンを有するレジストマスク12を形成する際、下地層の段差が残存SiO₂膜20の膜厚50nm程度に抑えられるので、高精度の接続孔パターンを有するレジストマスクを形成することができる。高精度の接続孔パターンを有するレジストマスクを使うことにより、微細寸法の接続孔開口を配線溝の形状悪化無く安定して形成することができる。

これにより、良好なヴィアコンタクト特性を得ることが出来る。また、本実施形態例の方法を適用することにより、低誘電率層間絶縁膜内に良好な配線形状のデュアルダマシン構造を有する半導体装置を高い歩留まりで製造することができる。

実施形態例2

本実施形態例は第2の発明方法に係る半導体装置の製造方法の実施形態の一例であって、第4A図乃至第4B図、第5A図乃至第5C図、及び第6A図乃至第6C図は、それぞれ、本実施形

態例の方法でデュアルダマシン構造を形成する際の各工程の断面図である。

実施形態例 1 と同様に、第 4 A 図に示すように、図示しない基板に堆積された下地絶縁膜 1 上に、有機膜 2 と酸化シリコン (SiO_2) 膜 3 とからなる積層膜を層間絶縁膜にして、銅 (Cu) 膜の埋め込み配線 4 を形成する。

更に、 Cu 膜の埋め込み配線 4 上に酸化防止層として膜厚 50 nm の炭化シリコン (SiC) 膜 5 を成膜し、続いて、400 nm 厚の炭素含有酸化シリコン (SiOC) 膜 6、及び比誘電率 2.6 程度の有機ポリマーとして膜厚 200 nm のポリアリールエーテル (PAE) 膜 7 を成膜する。

続いて、PAE 膜 7 上に、順次、第一マスク形成層として膜厚 150 nm の SiO_2 膜 8、第二マスク形成層として例えば膜厚 100 nm の窒化シリコン (SiN) 膜 9 を成膜する。

次に、本実施形態例では、第三マスク形成層として、例えばアルゴンプラズマを用いたシリコンターゲットのスパッタリングにより 50 nm 厚のアモルファスシリコン (a-Si) 膜 24 を成膜する。つまり、本実施形態例では、実施形態例 1 の SiO_2 膜 20 に代えて、第三マスク形成層として a-Si 膜 24 を成膜する。

更に、接続孔パターンを有するレジストマスク 12 を a-Si 膜 24 上に形成する。

第 4 B 図に示すように、接続孔パターンのレジストマスク 12 を用いて、ドライエッチング法により、第三マスク形成層の a-Si 膜 24、第二マスク形成層の SiN 膜 9、及び第一マスク形成層の SiO_2 膜 8 の途中までエッチングして、接続孔パターン

25を形成する。

次いで、例えば酸素 (O_2) プラズマをベースとしたアッシング処理と有機アミン系の薬液処理を行うことにより、レジストマスク12とエッチング処理で生じた残留付着物を完全に除去する。

第三マスク形成層のa-Si膜24のエッチングは、通常のプラズマエッチング装置を使用して、例えばエッチングガスとして、塩素 (Cl_2)、臭化水素酸 (HBr)、及び酸素 (O_2) を用い、ガス流量比 ($Cl_2 : HBr : O_2$) を10 : 2 : 1、RFパワーを20W、基板温度を0℃に設定する。

第二マスク形成層のSiN膜9及び第一マスク形成層のSiO₂膜8のエッチングは、一般的なマグネトロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン (C_4F_8) 及びアルゴン (Ar) を用い、ガス流量比 ($C_4F_8 : Ar$) を1 : 4、バイアスパワーを400W、基板温度を20℃に設定する。

このエッチング条件下のエッチング選択比 (SiO₂ / SiN) は1前後であるから、本実施形態例では、SiN膜9及びSiO₂膜8を一括してエッチングしているが、レジスト選択比やエッチング変換差等が問題になる場合は2ステップエッチングにより順次第二マスク形成層のSiN膜9を下地層のSiO₂膜8に対して選択的にエッチング除去し、次いでレジスト選択比の高いエッチング条件に切り換えて、第一マスク形成層のSiO₂膜8をエッチングすることもできる。

尚、第一マスク形成層のSiO₂膜8のエッチング量は、PAE膜7が露出しないように、例えばPAE膜7上に50～100

nmの SiO_2 膜が残存するように設定する。

次に、第5A図に示すように、接続孔パターン25を有する第3のマスクを構成するa-Si膜24に、少なくとも配線溝パターンの一部が重なるように、配線溝パターンを有する第二のマスクを形成する。

第二のマスクの形成に際し、レジストマスク12の下地層には、a-Si膜24、SiN膜9、及び SiO_2 膜8の上部層からなる200nm前後の段差が発生しているため、配線溝のパターンやマスクの合わせずれにより、第5A図に示すように、第二のマスクが接続孔段差の底部付近ですそ引き形状となる場合がある。

しかし、配線溝パターンの第二のマスクは、第3のマスクであるa-Si膜24のみをエッチング出来れば良いのであるから、仮に第二のマスクにすそ引きがあっても、a-Si膜24のエッチングには支障が生じない。よって、本実施形態例で、第二のマスクのすそ引き形状は全く問題にはならない。

また、本実施形態例では、処理済みの配線溝のパターンが製品規格を満たさない場合でも、PAE膜7が露出していないので、レジスト再生処理を低誘電率膜への損傷無く行うことが可能である。

次に、配線溝パターンの第二のマスクを用いて、ドライエッチング法により、配線溝開口部に残存する第3のマスクのa-Si膜24をエッチングして、第5B図に示すように、配線溝パターン21を形成する。

このエッチングは、通常のプラズマエッチング装置を使用して、例えばエッチングガスとして、塩素(Cl_2)、臭化水素酸(HBr)、及び酸素(O_2)を用い、ガス流量比($\text{Cl}_2 : \text{HBr} : \text{O}$

を 10 : 2 : 1、RF パワーを 20 W、基板温度を 0℃に設定する。

このエッチング条件下で、SiN 膜に対するエッチング選択比 (Si / SiN) として 20 以上を得ることが出来るので、下地の第 2 のマスクとなる SiN 膜 9 がエッチングされるようなことは殆どない。

また、SiO₂ 膜に対するエッチング選択比 (Si / SiO₂) も 20 以上の選択比が得られるので、接続孔底部に残存する第一マスク形成層の SiO₂ 膜 8 が局所的にエッチングされるようなことは生じない。

そして、続いて、酸素 (O₂) プラズマをベースとしたアッシング処理と有機アミン系の薬液処理を行うことにより、第二のマスクとエッチング処理の際に生じた残留付着物は、PAE 膜 7 に損傷を与えることなく完全に除去することが出来る。

次いで、接続孔パターン 25 (第 4 B 図参照) が形成されている第 2 のマスクの SiN 膜 9 を用いて、第 6 A 図に示すように、ドライエッチング法により接続孔底部に残留する SiO₂ 膜 8 及び PAE 膜 7 をエッチングして接続孔 23 を形成する。

SiO₂ 膜 8 のエッチングは、一般的なマグネトロン方式のエッチング装置を用い、例えばエッチングガスとしてオクタフルオロブタン (C₄F₈)、一酸化炭素 (CO)、及びアルゴン (Ar) を用い、ガス流量比 (C₄F₈ : CO : Ar) を 1 : 5 : 20、バイアスパワーを 1200 W、基板温度を 20℃に設定する。

このエッチング条件下では、SiN 膜に対する 10 以上のエッチング選択比 (SiO₂ / SiN) を得ることが出来るので、第 2 のマスクとなる SiN 膜 9 は殆どエッチングされることはな

い。

また、P A E 膜 7 をエッチングし、接続孔 2 3 を開口する際には、通常の高密度プラズマエッチング装置を使用し、エッチングガスには例えばアンモニア (NH_3) を用い、R F パワーを 1 5 0 W、及び基板温度を 2 0 $^{\circ}\text{C}$ に設定する。

このエッチング条件下で、S i N 膜、S i O_2 膜、及び S i O C 膜に対するエッチング選択比は、1 0 0 以上になる。

更に、配線溝パターン 2 2 が形成された第 3 のマスクの a - S i 膜 2 4 を用いて、第 6 A 図に示すように、ドライエッチング法により、第 2 のマスクとなる S i N 膜 9 の配線溝パターン 2 2 を形成する。

このエッチングは、例えば一般的なマグネトロン方式のエッチング装置にて、例えばエッチングガスとしてジフルオルメタン (CH_2F_2)、酸素 (O_2)、及びアルゴン (A r) を用い、ガス流量比 ($\text{CH}_2\text{F}_2 : \text{O}_2 : \text{A r}$) を 2 : 1 : 5、バイアスパワーを 1 0 0 W に設定する。

このエッチング条件下では、a - S i 膜に対する 1 0 程度のガス選択比 (S i N / S i) を得ることが出来るので、第 3 のマスクの a - S i 膜 2 4 が例えば 3 0 n m 以上あれば、余裕を持って第二マスク形成層の 1 0 0 n m 厚さの S i N 膜 9 を開口することが出来る。

また、第 3 のマスクの a - S i 膜 2 4 を用いて第 2 のマスクの S i N 膜 9 をエッチングする際、接続孔底部に露出する S i O C 膜 6 を途中までエッチングして接続孔 2 3 を掘り下げることができる。

このエッチング条件下では、S i O C 膜に対するエッチング選

択比 (SiN / SiOC) を 1 弱にすることができるので、100 nm 厚の SiN 膜 9 をエッチングする場合、必要なオーバーエッチング量を含めて接続孔 23 は SiOC 膜 6 内に 150 ~ 200 nm の深さまで掘り下げられることになる。

5 次に、第 6 B 図に示すように、接続孔 23 の底部に残った SiOC 膜 6 をエッチングして接続孔 14 を開口する。ここで、配線溝パターンが形成されている第 2 のマスク 11 の SiN 膜 9 を用いて、同時に、配線溝領域に残存する第 1 のマスクの SiO_2 膜 8 をエッチングして開口部 15 を形成する。

10 このエッチングは、一般的なマグネトロン方式のエッチング装置を使用し、例えばエッチングガスとしてのオクタフルオロシクロペンテン (C_5F_8)、一酸化炭素 (CO)、アルゴン (Ar)、及び酸素 (O_2) を用い、ガス流量比 ($\text{C}_5\text{F}_8 : \text{CO} : \text{Ar} : \text{O}_2$) を 1 : 10 : 5 : 1、バイアスパワーを 1600 W、及び基板温度を 20 °C に設定する。

このエッチング条件下では、 SiN 膜に対する 10 以上のエッチング選択比 (SiOC / SiN) を得ることが出来るので、第 2 のマスクの SiN 膜 9 の膜厚が 100 nm あれば、接続孔底部に残る膜厚 200 ~ 250 nm の SiOC 膜 6 をエッチングする際、十分に余裕を持って配線溝上方の広がりや肩落ちを抑制した良好な開口形状を得ることが出来る。

次いで、第 6 C 図に示すように、実施形態例 1 と同様にして、開口部 15 の底部に残存する PAE 膜 7 をエッチングして配線溝 16 を形成し、接続孔 14 底部にある SiC 膜 5 をエッチングして、接続孔 14 を Cu 膜の埋め込み配線 4 に連通させて、所定のデュアルダマシン加工を完了する。

以下、図示しないが、実施形態例 1 と同様にして、デュアルダマシン構造の多層配線構造を得ることができる。

尚、配線溝領域外に残存した第 2 のマスクの SiN 膜 9 は、接続孔底部の SiC 膜 5 をエッチングする過程で除去される。

- 5 上述した工程を経て形成されたデュアルダマシン構造の多層配線は、接続孔パターンを有するレジストマスク 12 を形成する際の下地層の段差が殆ど無いので、高精度の接続孔パターンを有するレジストマスク 12 を形成することができる。このレジストマスク 12 を使うことにより、配線溝の形状悪化無く安定して微細寸法の接続孔開口を形成することができるので、良好なヴィア
- 10 コンタクト特性を得ることが出来る。

- また、接続孔のパターニングを行った後、配線溝のパターニングを行い、上層配線と接続孔のマスクアライメントが間接合わせとならないので、アライメント誤差の小さい多層配線を形成する
- 15 ことができる。

本実施形態例の各工程を含むデュアルダマシンプロセスにより、高精度でパターニングされた多層配線構造を有する半導体装置を高い歩留まりで製造することができる。

- 実施形態例 1 及び 2 に記載の層間絶縁膜は、表記された膜種、膜厚、成膜方法に限定されることはない。Cu 膜の酸化防止層として堆積した SiC 膜 5、19 は、CVD 法により形成される SiN 膜としてもよく、SiC 膜中に窒素 (N_2) や水素 (H) 等の軽元素が含有した膜を用いても良い。
- 20

- 接続孔層間膜となる SiOC 膜 6 と配線層間膜となる PAE 膜 7 の積層構造は、例えば SiOC 膜の代わりに、CVD 法により成膜された SiOF 膜や SiO₂ 膜、スピンコート法により形
- 25

成されるMSQ膜やHSQ膜でもよく、PAE膜の代わりに、ポリアリレンエーテル膜、アモルファスカーボン膜、ポリテトラトラフロロエチレン膜の適用も可能である。さらに、キセロゲル膜、多孔質構造を有するMSQ膜や有機ポリマー等の適用や、これら
5 の組み合わせでも良い。

また、実施形態例1及び2では、PAE膜とMSQ膜の上に成膜された第一マスク形成層のSiO₂膜8、第2マスク形成層のSiN膜9、及び第3マスク形成層のSiO₂膜20又はa-Si膜24は、それぞれ、膜厚が150nm、100nm、及び5
10 0nmとなっているが、上層マスクを用いて下層マスクをエッチング出来る組み合わせの膜種、膜厚、製法であれば、実施形態例1及び2の例示に限る必要がないことは勿論である。

例えば、第二マスク形成層をSiN膜に代えて、CVD法で成膜したSiC膜としても良く、また、エッチング選択比が許す限り、各マスク形成層を薄膜化することもできる。
15

また、第三マスク形成層に対してエッチング選択比が大きな第四のエッチングマスクを形成して更に薄膜化してゆくことにより、最上層マスク段差を低減していくことも可能である。その場合は、接続孔の開口をPAE膜7まで行った後に、順次、上層マスクを用いたエッチングにより配線溝パターンを下層マスク形成層に転写していけば良い。
20

実施形態例1では、最上層の第三マスク形成層としてSiO₂膜20を成膜しているが、スパッタリング法により成膜したアモルファスシリコン膜(a-Si)にすることにより、更に薄膜化
25 することもできる。

実施形態例2では、最上層の第三マスク形成層をa-Si膜に

代えて SiO_2 膜とすることも可能であるが、第一マスク形成層と同一材料である場合には、第 5 B 図に示す接続孔底部の SiO_2 膜の残し量に注意を払わないと、PAE 膜 7 が露出する危険性がある。

- 5 実施形態例 1 及び 2 では、 SiO_2 膜 8 は、第 3 A 図等 to 示すように、最終的に配線層間として約 50 nm 残存させているが、バリアメタルとの密着性や Cu-CMP 工程における機械的強度、もしくは酸化防止層である SiC 膜 19 を成膜する前に行われる Cu 酸化物の還元処理時の損傷が問題にならないければ、第一
- 10 マスク形成層を SiO_2 膜に代えて、 SiOF 膜、MSQ 膜、HSQ 膜等の無機系低誘電率膜とすることも可能である。

また、同様の制限が許す限り、第 1 のマスクをデュアルダマシンエッチング工程や Cu-CMP 工程にて除去することも可能である。

- 15 本発明によれば、低誘電率層間絶縁膜内にデュアルダマシン構造の多層配線を有する半導体装置の製造に際し、低誘電率層間絶縁膜上に少なくとも 2 種類以上の材料を用いて、3 層以上のエッチングマスクを構成とすることにより、接続孔形成のためのレジストマスクを形成する際の下地層の段差を低減することができる。
- 20

- また、3 層以上のエッチングマスク構造により、接続孔を層間膜途中まで開口後に最上層マスクを用いて下層マスクに配線溝パターンを形成するとともに、接続孔の開口をさらに下層配線近くまで進めることにより、その後のエッチングマスクを用いた接
- 25 続孔開口に要するエッチング量を低減でき、さらなるエッチングマスク段差の低減、もしくは良好なデュアルダマシン加工形状を

得ることが可能となる。

また、低誘電率膜上に少なくとも２種類以上の材料を用いて、
３層以上のエッチングマスク構成とすることにより、接続孔の一部開口後に配線溝のレジストパターンニングを行うことが可能となり、配線溝と接続孔のマスクアライメントにて間接合わせを回避することが出来る。

本発明方法を適用することにより、デュアルダマシン構造の多層配線を有する高集積微細で高性能半導体装置を高歩留まりで製造することができる。

請求の範囲

1. 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

5 相互に異なる2種類以上の膜種からなる3層以上のエッチングマスク形成層を前記層間絶縁膜上に順次成膜する工程と、

最上層のエッチングマスク形成層をパターンニングして最上層マスクを形成し、次いで前記最上層マスクで前記最上層のエッチングマスク形成層の下の次段エッチングマスク形成層をエッチングして次段エッチングマスクを形成し、次いで前記次段エッチングマスクで次々段エッチングマスク形成層をエッチングして次々段エッチングマスクを形成し、順次、上のエッチングマスク形成層で形成したエッチングマスクで前記上のエッチングマスク形成層の下の段のエッチングマスク形成層をエッチングして
10 エッチングマスクを形成する工程と、

15 形成したエッチングマスクを使って前記層間絶縁膜をエッチングして、配線溝及び接続孔を形成する工程と

を備え、前記3層以上のエッチングマスク形成層のうちの1層のエッチングマスク形成層を配線溝パターンのマスク形成層として成膜し、残りの層のうちの1層のエッチングマスク形成層を
20 接続孔パターンのマスク形成層として成膜することを特徴とする半導体装置の製造方法。

2. 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

25 (イ) 半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜

する工程と、

(ロ) 前記第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

5 (ハ) 前記第三マスク形成層をパターンニングして配線溝パターンを有する第3のマスクを形成する工程と、

(ニ) 前記第3のマスクを含む第二マスク形成層上に接続孔パターンを有するレジストマスクを形成する工程と、

10 (ホ) 前記レジストマスクを使って前記第3のマスク、前記第二マスク形成層、及び前記第一マスク形成層をエッチングし、更に前記第二の絶縁膜をエッチングして、接続孔を開口する工程と、

(ヘ) 前記第3のマスクを用いて前記第二マスク形成層をエッチングして、配線溝パターンを有する第2のマスクを形成すると共に、前記第一の絶縁膜の途中まで接続孔を開口する工程と、

15 (ト) 前記第2のマスクを用いて前記第一マスク形成層をエッチングして、配線溝パターンを有する第1のマスクを形成すると共に、前記接続孔の底部に残存する前記第一の絶縁膜をエッチングして接続孔を開口する工程と、

20 (チ) 前記第1ないしは第2のマスクを用いて前記第二の絶縁膜をエッチングし、前記第二の絶縁膜に配線溝を形成する工程と、

(リ) 少なくとも前記第2及び第3のマスクを除去する工程とを有することを特徴とする半導体装置の製造方法。

3. 有機絶縁膜を含む層間絶縁膜を備えた半導体装置の製造方法において、

25 (イ) 半導体基板上に、接続孔を貫通させる絶縁膜として第一の絶縁膜、及び配線層間の絶縁膜として第二の絶縁膜を順次成膜

する工程と、

(ロ) 前記第二の絶縁膜上に、第1のマスク、第2のマスク、及び第3のマスクをそれぞれ形成する、第一マスク形成層、第二マスク形成層、及び第三マスク形成層を順次成膜する工程と、

5 (ハ) 前記第三マスク形成層上に接続孔パターンを有する第1のレジストマスクを形成する工程と、

(ニ) 前記第1のレジストマスクを用いて、前記第三マスク形成層、前記第二マスク形成層、及び前記第三マスク形成層の途中まで接続孔を開口する工程と、

10 (ホ) 前記第三マスク形成層上に配線溝パターンを有する第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第三マスク形成層をエッチングして前記第3のマスクを形成する工程と、

(ヘ) 前記第3のマスクを用いて前記第二マスク形成層及び前
15 記第二の絶縁膜をエッチングして接続孔を開口する工程と、

(ト) 前記第3のマスクを用いて前記第二マスク形成層をエッチングして、配線溝パターンを有する第2のマスクを形成すると共に、前記第一の絶縁膜を途中までエッチングして接続孔を形成する工程と、

20 (チ) 前記第2のマスクを用いて前記第一マスク形成層をエッチングして、配線溝パターンを有する第1のマスクを形成すると共に、前記第一の絶縁膜をエッチングして接続孔を開口する工程と、

(リ) 前記第1ないしは第2のマスクを用いて前記第二の絶縁
25 膜をエッチングして、配線溝を形成する工程と、

(ヌ) 少なくとも前記第2、及び第3のマスクを除去する工程

と

を有することを特徴とした半導体装置の製造方法。

4. 前記工程（イ）では、前記第一の絶縁膜としてメチルシルセスキオキサン膜を、第二の絶縁膜として有機膜を成膜すること
- 5 を特徴とする請求の範囲第2項又は第3項に記載の半導体装置の製造方法。
5. 前記工程（ロ）では、前記第一、第二、及び第三マスク形成層を光透過性を有する材料で成膜することを特徴とする請求の範囲第2項又は第3項に記載の半導体装置の製造方法。
- 10 6. 前記工程（ロ）では、上層のマスク形成層に形成したマスクを用いて反応性イオンエッチング法により下層のマスク形成層を加工出来る材料で、前記第一、第二、及び第三マスク形成層を成膜することを特徴とする請求の範囲第2項又は第3項に記載の半導体装置の製造方法。
- 15 7. 前記工程（ロ）では、前記第一マスク形成層としてシリコン酸化膜、前記第二マスク形成層としてシリコン窒化膜、及び前記第三マスク形成層としてシリコン酸化膜をそれぞれ成膜することを特徴とする請求の範囲第2項に記載の半導体装置の製造方法。
- 20 8. 前記工程（ロ）では、前記第一マスク形成層としてシリコン酸化膜、前記第二マスク形成層としてシリコン窒化膜、及び前記第三マスク形成層として非晶質シリコン膜をそれぞれ成膜することを特徴とする請求の範囲第3項に記載の半導体装置の製造方法。

1/9

Fig.1A

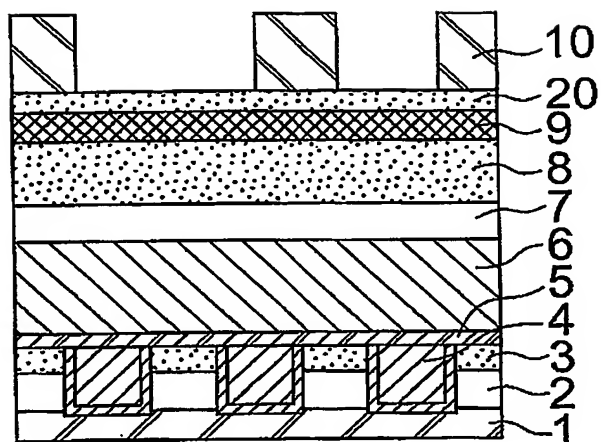


Fig.1B

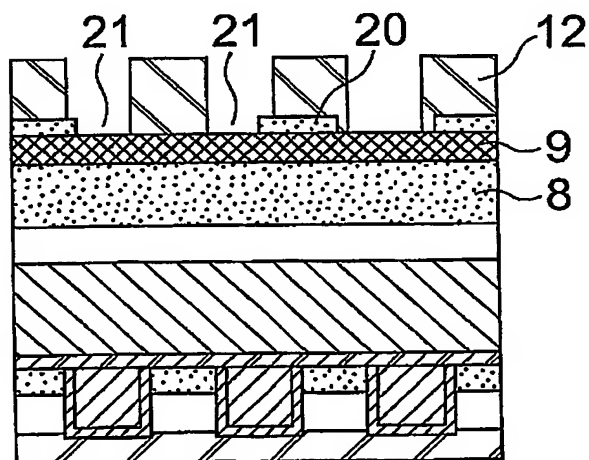
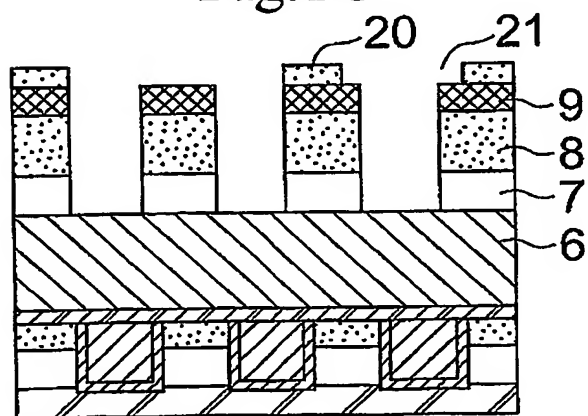


Fig.1C



2/9

Fig.2A

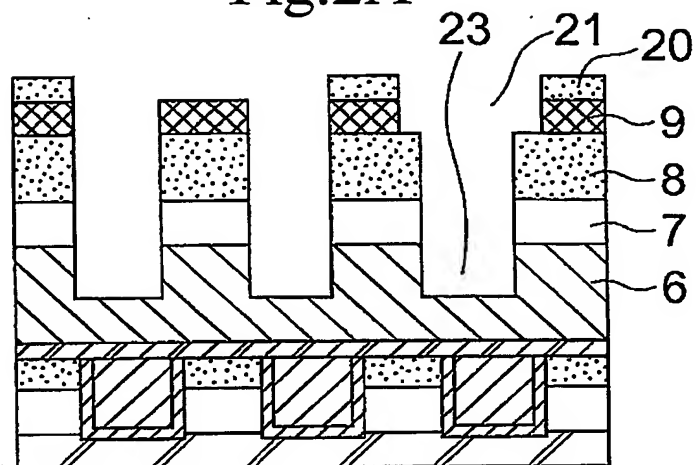


Fig.2B

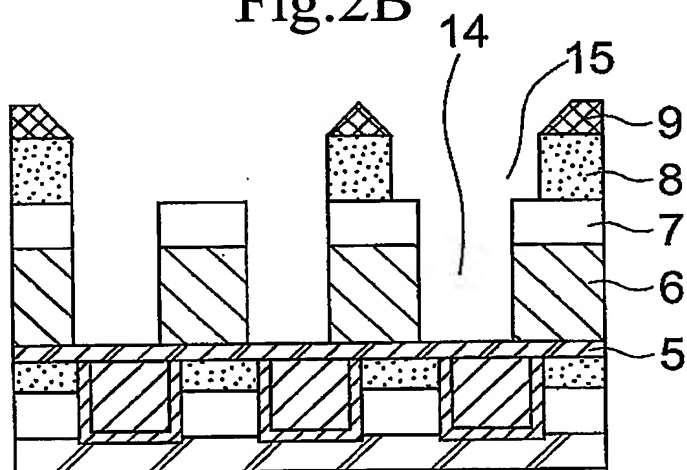
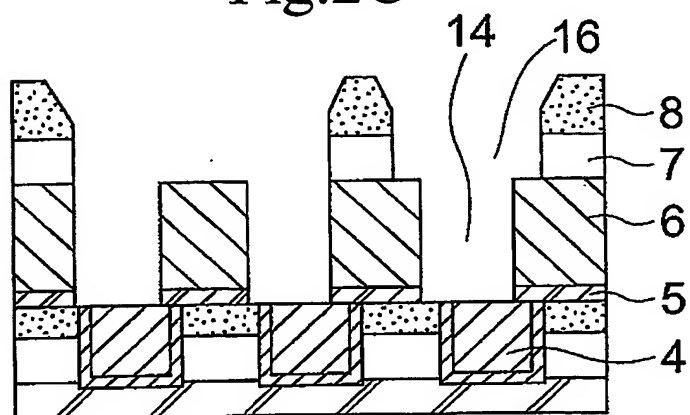


Fig.2C



3/9

Fig.3A

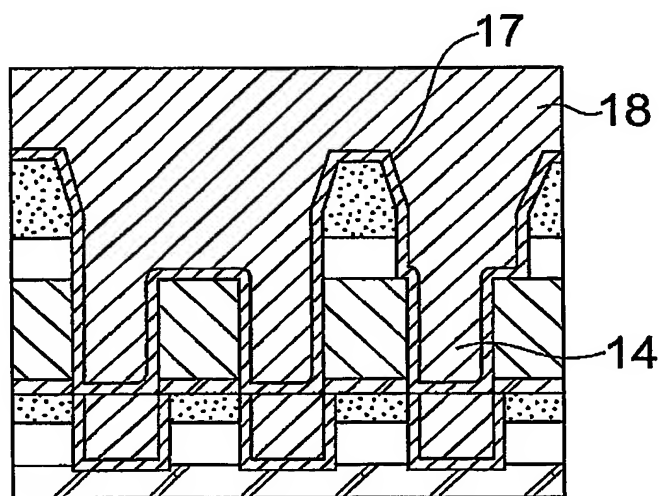
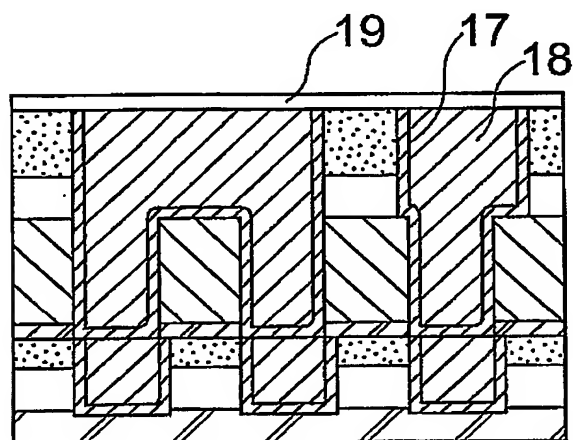


Fig.3B



4/9

Fig.4A

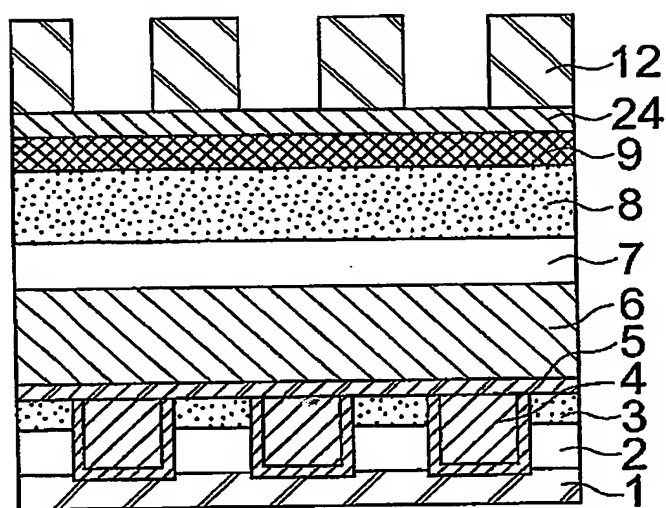
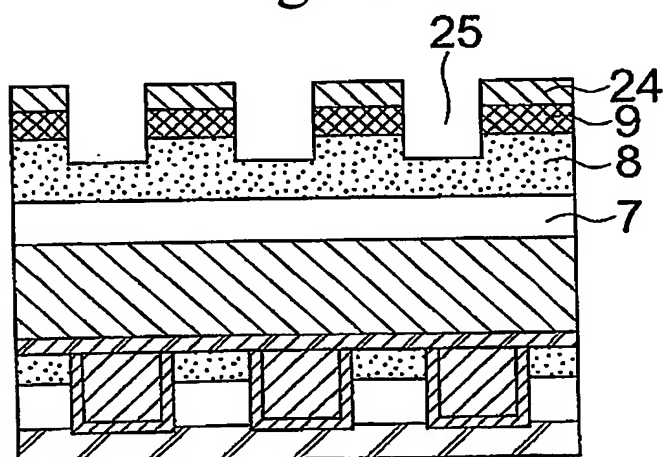


Fig.4B



5/9

Fig.5A

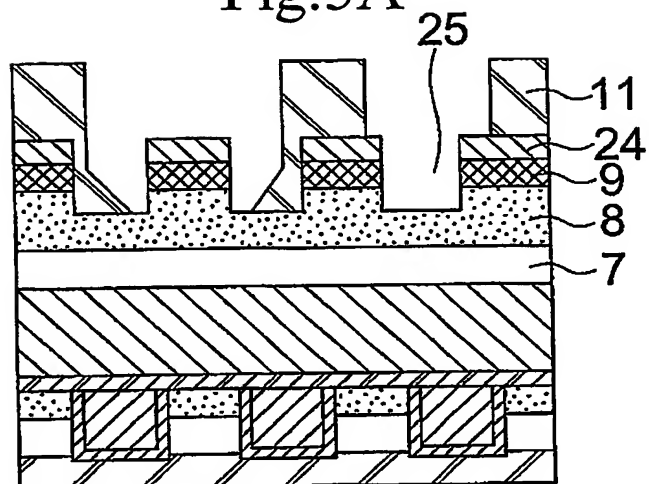


Fig.5B

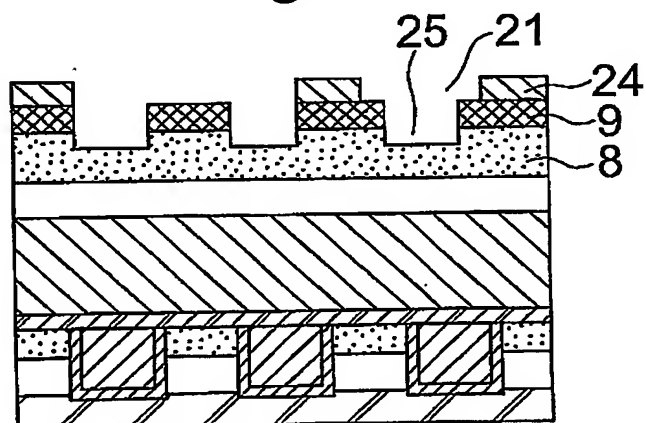


Fig.5C

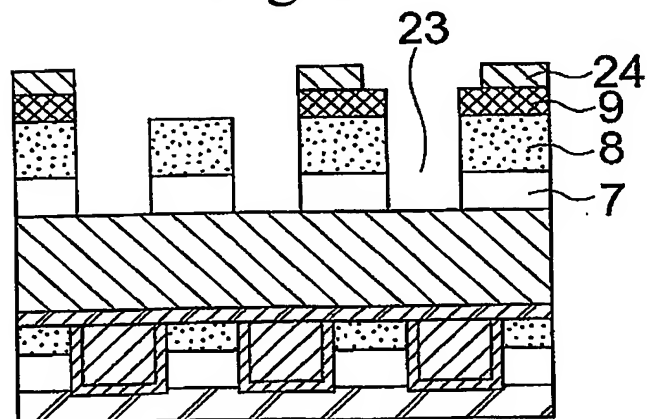


Fig.6A

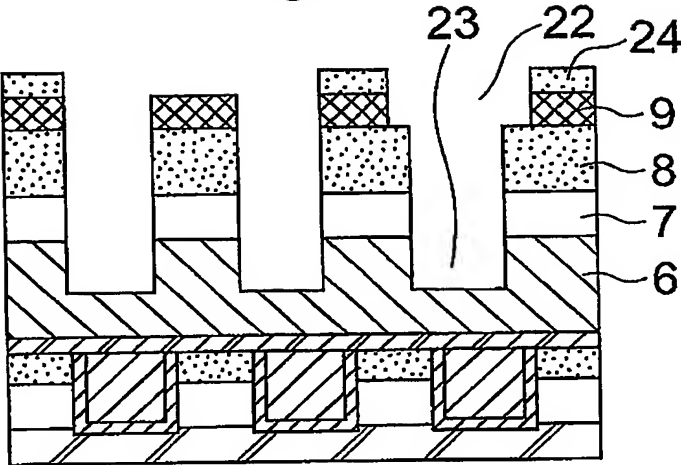


Fig.6B

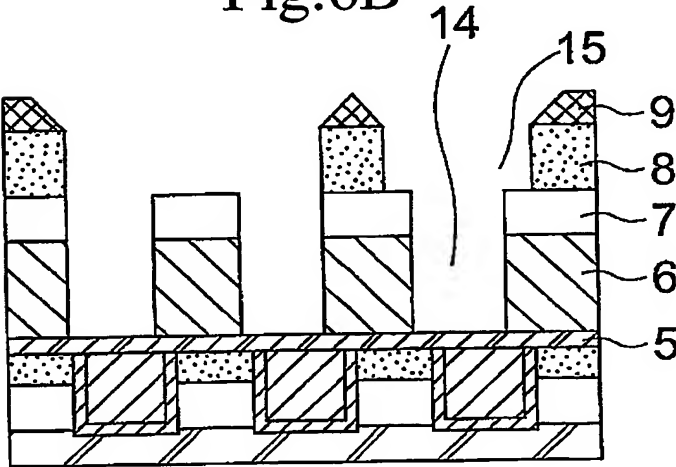


Fig.6C

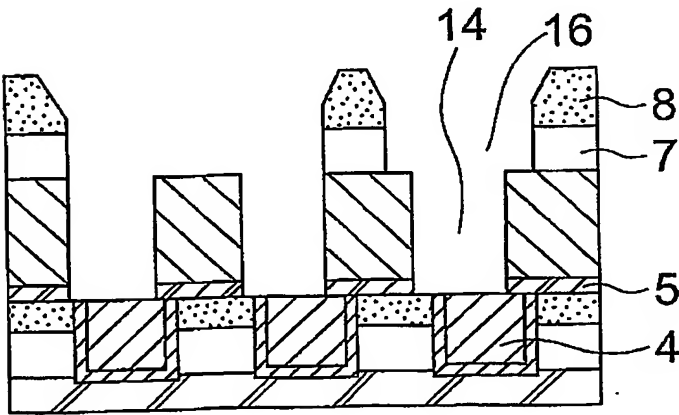


Fig.7A

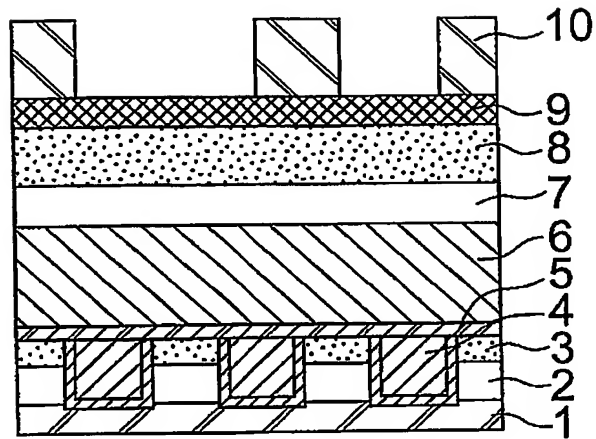
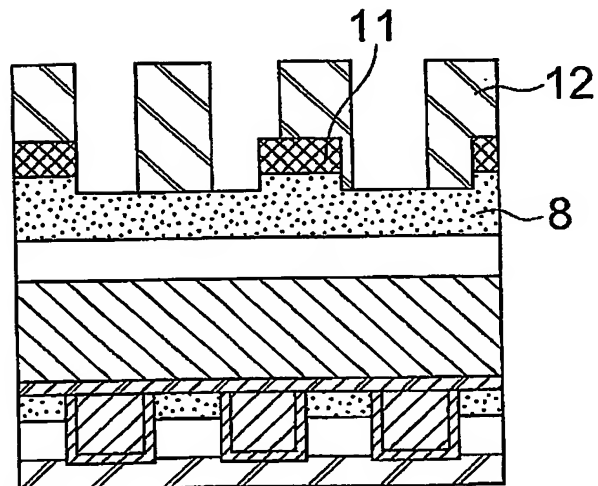


Fig.7B



8/9

Fig.8A

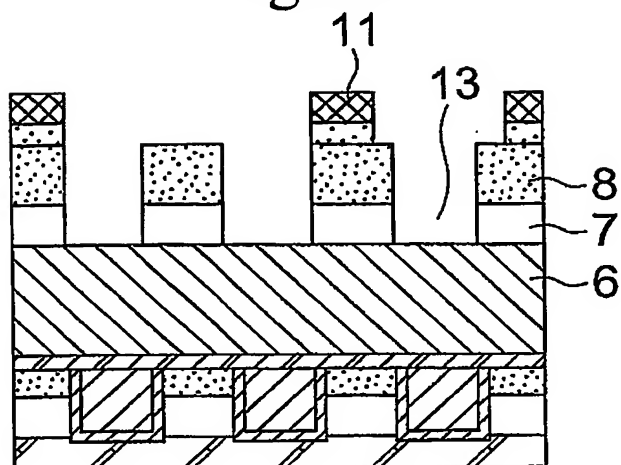


Fig.8B

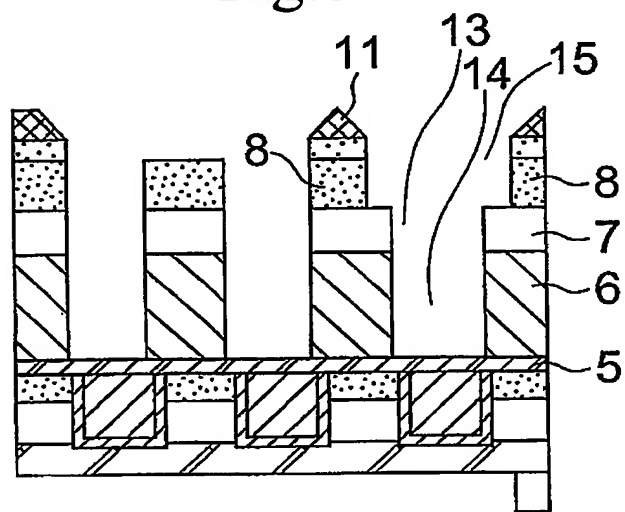


Fig.8C

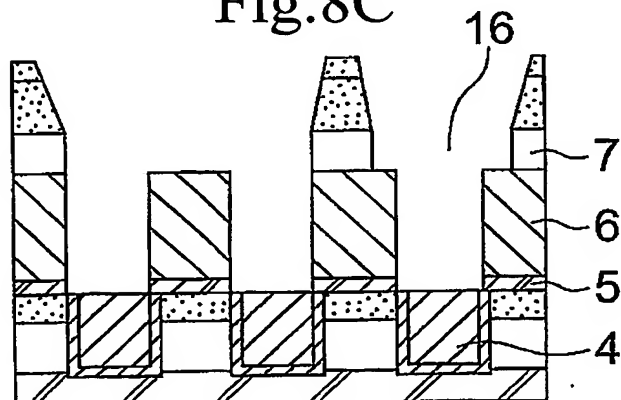


Fig.9A

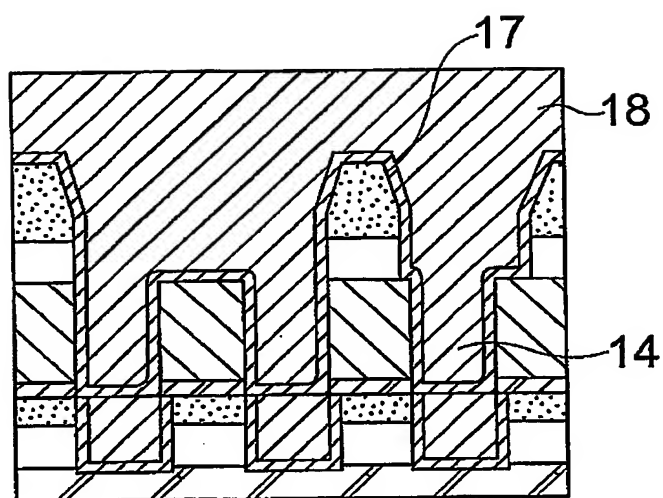
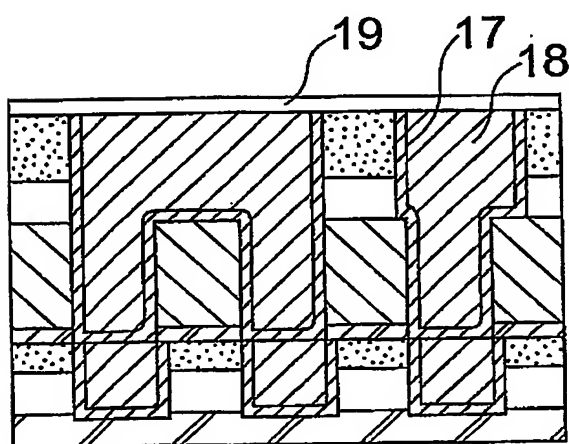


Fig.9B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09602

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/3205, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/3205-21/3213, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| X A | US 2002/0009873 A1 (Tatsuya USAMI), 24 January, 2002 (24.01.02), Full text; Figs. 1 to 7 & JP 2002-43419 A Full text; Figs. 1 to 22 | 1, 3-6, 8 2, 7 |
| P, X | GB 2380316 A (AGERE SYSTEMS INC.), 02 April, 2003 (02.04.03), Full text; Figs. 1 to 15 & JP 2003-179136 A Full text; Figs. 1 to 15 & US 2003/0064582 A1 & KR 2003027817 A | 1 |

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|--|--|
| Date of the actual completion of the international search 27 October, 2003 (27.10.03) | Date of mailing of the international search report 11 November, 2003 (11.11.03) |
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09602

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | US 2002/0025670 A1 (Koji MIYATA), 28 February, 2002 (28.02.02), Full text; Figs. 1 to 3 & JP 2002-26122 A Full text; Figs. 1 to 3 & KR 2003303 A | 1 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L21/3205, H01L21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L21/3205-21/3213, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|-------------------|
| X A | US 2002/0009873 A1 (Tatsuya USAMI) 2002.01.24, 全文, 第1-7図 & JP 2002-43419 A, 全文, 第1-22図 | 1, 3-6, 8 2, 7 |
| PX | GB 2380316 A (AGERE SYSTEMS INC) 2003.04.02, 全文, 第1-15図 & JP 2003-179136 A, 全文, 第1-15図 & US 2003/0064582 A1 & KR 2003027817 A | 1 |

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

27.10.03

国際調査報告の発送日

11.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一



4L 8122

電話番号 03-3581-1101 内線 3498

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| A | US 2002/0025670 A1 (K o j i MIYATA) 2002. 02. 28, 全文, 第1-3図 & JP 2002-26122 A, 全文, 第1-3図 & KR 2003303 A | 1 |